

LA CONVERSIONE DIGITALE - ANALOGICA ED ANALOGICO - DIGITALE

Prima di addentrarci nel vivo della questione, diamo la definizione di segnale *discreto* (o *digitale*) e di segnale *analogico*.

La notazione $f[n]$ indica una sequenza di numeri, reali o complessi, definita per ogni intero n . La sequenza $f[n]$ prenderà il nome di *segnale discreto* o *digitale*, e l'indice n quello di *tempo discreto*. Spesso al posto del termine digitale si sostituisce anche il termine *numerico*, filologicamente più corretto. D'altro canto, "digitale" deriva dall'inglese "digit" (cifra) che, a sua volta, deriva dal latino "digitus" (dito). Infatti è consuetudine "fare i conti con le dita".

Invece, con "*segnale analogico*" o "*continuo*", indichiamo una funzione $f[t]$, reale o complessa, definita per ogni numero reale t .

Da queste definizioni, risulterà evidente che le grandezze analogiche possono assumere, nel tempo, qualsiasi valore (si pensi alla scala di un tester), mentre quelle digitali presentano solo valori ben definiti (come l'indicazione di un multimetro digitale). In natura, evidentemente, poche cose sottostanno a leggi discrete, mentre, come insegna lo studio dell'elettronica digitale, per acquisire, elaborare e, sempre più di consueto, trasmettere i dati, si preferisce far riferimento a sistemi numerici, e ciò per problemi legati a semplicità, accuratezza, riduzione del rumore, ecc. I dispositivi che permettono l'interfacciamento fra grandezze di un tipo con sistemi dell'altro, prendono il nome di "**convertitori analogico digitali**", se in un senso, o di "**convertitori digitale analogici**" se nell'altro. I primi vengono normalmente indicati con *DAC*, acronimo di *Digital Analog Converter*, mentre si usa l'abbreviazione *ADC* per i secondi (*Analog Digital Converter*).

Consideriamo l'uscita analogica di un convertitore D/A e definiamone la funzione di trasferimento $D \equiv [V_o/V_{rif}]$ in cui V_o è la tensione di uscita e V_{rif} è una tensione di riferimento. Facendo riferimento ad un codice binario, D sarà espresso come segue:

$$D = a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + a_3 \cdot 2^{-3} + \dots + a_n \cdot 2^{-n}$$

in cui:

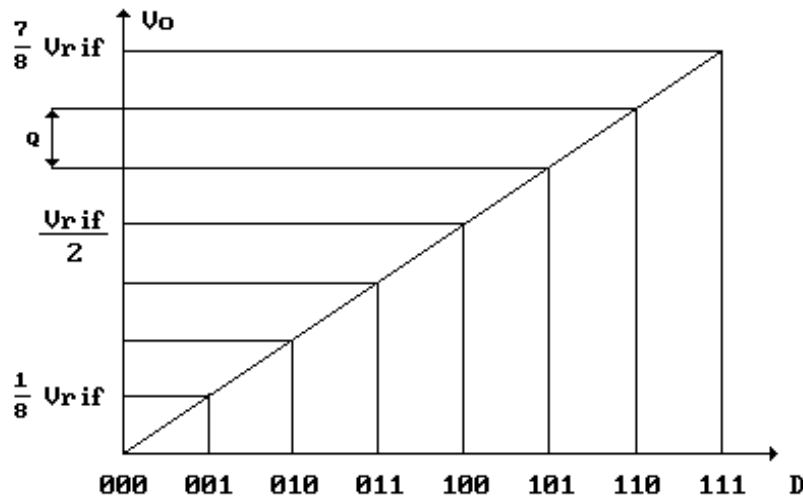
$$a_i = 0,1$$

ed n è il numero di bit presenti nel convertitore.

a_i vale "0" se il bit è "spento", "1" se invece è "acceso".

Il *peso* del bit più significativo [a_1] (*MSB*: Most Significant Bit) vale così $V_{rif}/2$ mentre il peso del bit meno significativo [a_n] (*LSB*: Least Significant Bit) vale $V_{rif}/2^n$. L'uscita sarà nulla quando tutti i bit sono spenti, ovvero quando tutti gli ingressi sono posti a "0", mentre varrà $V_o = V_{rif} \cdot (1 - 2^{-n})$ se gli ingressi sono posti ad "1". Generalmente si usa dire che V_{rif} è la *tensione di fondo scala* anche se, come è ben visibile, non potremo mai raggiungerla. Il *passo di quantizzazione* Q , concetto simile a quello di massima risoluzione, sarà pari a $V_{rif}/2^n$, pari al peso del bit meno significativo. È chiaro che per poter apprezzare bene piccole differenze, sarà necessario disporre di un gran numero di bit. Talvolta si esprime la *risoluzione* anche in termini del numero dei bit del dato in ingresso: avendo, per ipotesi, 8 bit in ingresso, otterremo, in uscita, $2^8 = 256$ valori distinti, e diremo che la risoluzione di quel convertitore è di $1/256$ o anche dello 0.4%.

In altri termini, la risoluzione necessaria, stabilita in sede di progetto, mi fornisce il numero di cifre che mi servono: se mi accontento di 7 livelli Q di *quantizzazione* mi basteranno 3 bit ($2^n - 1 = 2^3 - 1 = 7$). Il concetto è, comunque, meglio espresso in figura.



Esaminiamo ora più attentamente la Funzione di Trasferimento sopracitata e qui riportata per comodità:

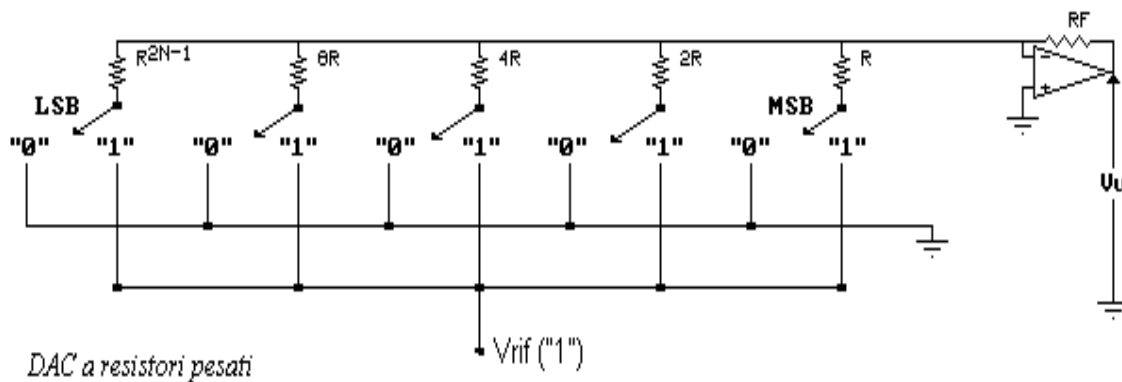
$$D = a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + a_3 \cdot 2^{-3} + \dots + a_n \cdot 2^{-n}$$

notiamo, principalmente, due particolarità:

1. i termini vengono *sommati*;
2. il peso di ogni termine si ottiene dal precedente moltiplicandolo per $\frac{1}{2}$ o, in altri termini, dividendolo per 2; infatti, riscrivendo la relazione,
- 3.

$$D = a_1 \cdot \frac{1}{2} + a_2 \cdot \frac{1}{4} + a_3 \cdot \frac{1}{8} + \dots + a_n \cdot \frac{1}{2^n}$$

pensiamo così di realizzare una configurazione circuitale di questo tipo:



Essendo il morsetto invertente una massa virtuale, la corrente che scorre nei resistori pesati varrà:

- $I = \frac{V_{rif}}{R(2^{n-1})}$ se il bit corrispondente è alto ("1")
- $I = 0$ se il bit corrispondente è basso ("0").

L'amplificatore operazionale sta funzionando come convertitore corrente-tensione a bassa impedenza di uscita.

Facciamo un esempio pratico per poter meglio comprendere vantaggi e svantaggi di questo circuito.

Supponiamo di avere a disposizione una tensione di riferimento $V_{rif} = -10\text{ V}$ e decidiamo di far scorrere nella resistenza più piccola, quella relativa al bit più significativo, una corrente $I = 1\text{ mA}$. R dovrà essere di $10\text{ K}\Omega$. Ponendo, per semplicità, il numero di bit $n = 3$, dovremo porre delle resistenze coi seguenti valori:

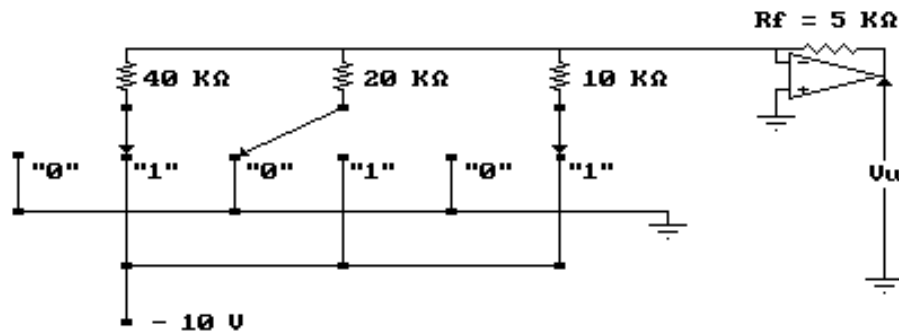
$$\begin{aligned} R_{MSB} &= 10\text{ K}\Omega \\ R_{2SB} &= 20\text{ K}\Omega \\ R_{LSB} &= 40\text{ K}\Omega \end{aligned}$$

Supponiamo inoltre di avere in ingresso la parola "101".

La tensione d'uscita, V_u , varrà:

$$V_u = -V_{rif} \cdot \left[-\frac{R_f}{10^4} - \frac{R_f}{4 \cdot 10^4} \right] = 10 \cdot R_f \cdot \left[\frac{1}{10^4} - \frac{1}{4 \cdot 10^4} \right]$$

La situazione è rappresentata nella figura seguente:

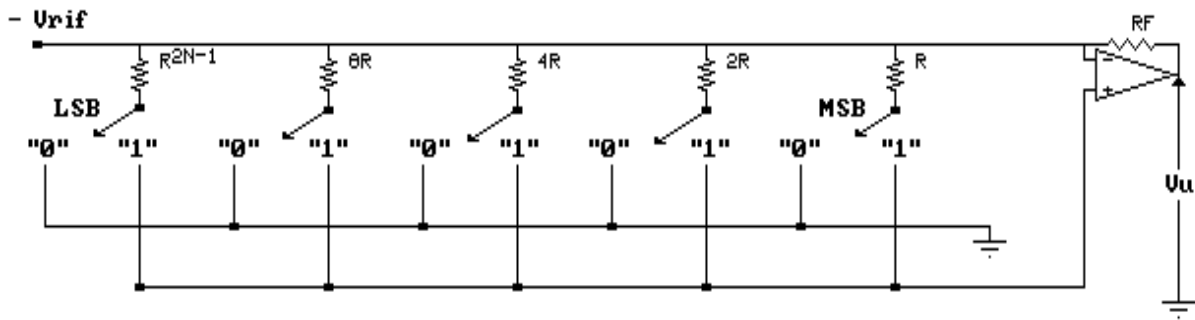


Scegliendo la resistenza di reazione $R_f = 5\text{ K}\Omega$, avremo che il peso del bit più significativo sarà di 5 V , il successivo di 2.5 V e il meno significativo di 1.25 V . Infatti, come avevamo visto in precedenza, il livello Q di quantizzazione, pari al peso del LSB, è pari a $V_{rif}/2^n$, nel nostro caso $10/8 = 1.25\text{ V}$. Sotto queste condizioni, la parola dell'esempio, "101", genererà un'uscita di 6.25 V .

I problemi più gravi di questo tipo di circuito sono principalmente di due ordini:

1. Le resistenze dei bit posti a "0" non scaldano, come invece fanno le resistenze dei bit posti a "1", quindi, a causa del coefficiente di temperatura e dell'inerzia termica, presenteranno dei valori, in rapporto, differenti dai nominali.
2. È difficile riuscire a costruire resistori, seppur integrati, che stiano correttamente in un dato rapporto gli uni con gli altri. È facile, invece, costruire resistori uguali.
3. Supponiamo di dover realizzare un convertitore a 16 bit, e supponiamo, inoltre, di partire da una resistenza $R = 1\text{ K}\Omega$. In queste condizioni la resistenza relativa al bit meno significativo dovrebbe valere $32.768\text{ M}\Omega$ valore decisamente sconsiderato. In ogni caso, anche relativamente al punto 2., integrare resistori con un range di valori così ampio, significherebbe utilizzare differenti tecnologie, presentando, così, differenti coefficienti di temperatura fra i vari resistori.

Per ovviare al primo problema possiamo modificare il circuito come nella figura seguente, decidendo, così, di far sempre scorrere una corrente in tutte le resistenze, ovvero, mantenendole sempre "preriscaldate":



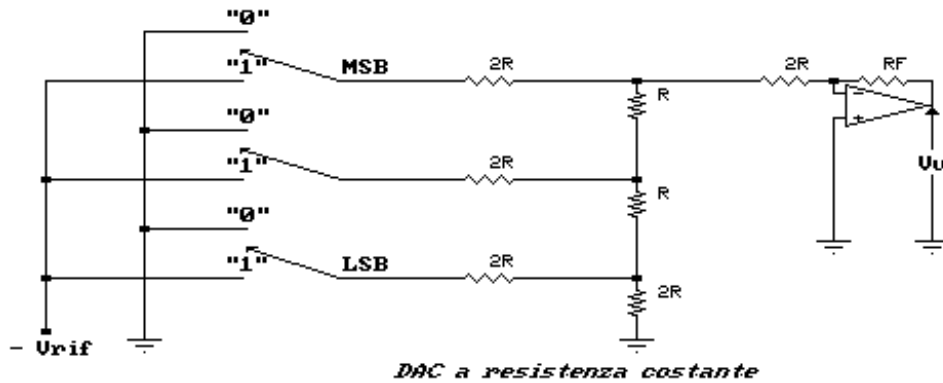
In questo caso, si avrà:

$$V_u = V_{rif} \cdot \frac{R_f}{R} \cdot \left[a_1 + \frac{a_2}{2} + \frac{a_3}{4} + \dots + \frac{a_n}{2^{n-1}} \right]$$

Ponendo, per comodità, $R = 2R_f$ otterremo:

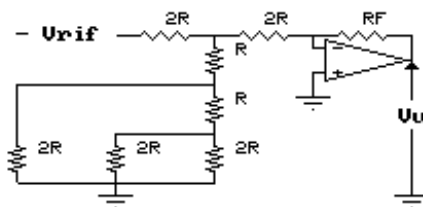
$$V_u = V_{rif} \cdot [a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + \dots + a_n \cdot 2^{-n}]$$

Per ovviare, invece, ai punti 2. e 3., bisogna rifarsi ad un'altra topologia circuitale basata sulle reti a scala (ladder networks) che presentano attenuazione e resistenza costante. La trattazione teorica relativa a questo tipo di strutture esula dagli scopi del presente testo, pertanto riferiamoci direttamente al circuito finale:

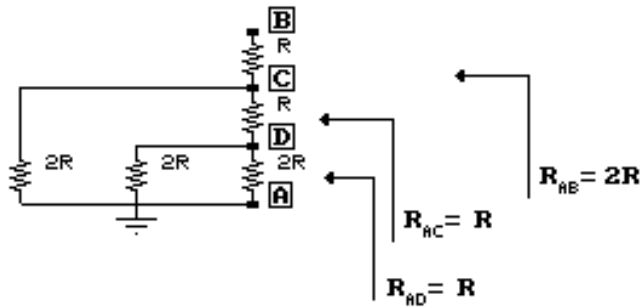


Questi circuiti prendono anche il nome di "DAC a scala R-2R".

Esaminiamo ora, più nel dettaglio, il circuito. Supponiamo, inizialmente, che il MSB sia posto ad "1" e tutti gli altri siano a "0". Il circuito relativo sarà il seguente:



Analizziamo questa rete:



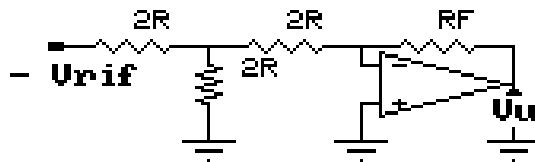
Notiamo subito che la resistenza R_{AB} vale $2R$, infatti:

$$R_{AD} = 2R // 2R = R;$$

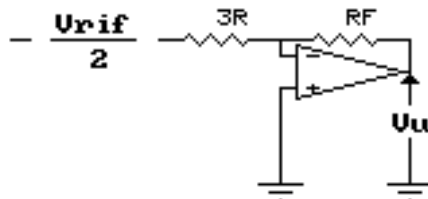
$$R_{AC} = (R_{AD} + R_{DC}) // 2R = 2R // 2R = R$$

$$R_{AB} = R_{AC} + R_{CB} = 2R$$

Il circuito diventa, quindi, il seguente:



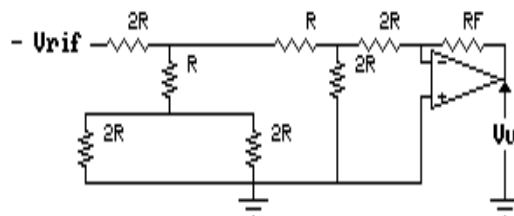
Studiamolo costruendone l'equivalente di Thevenin:



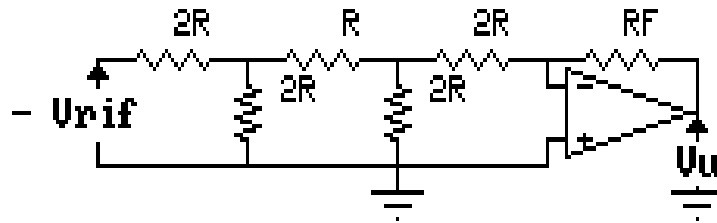
Desiderando che $V_u \Big|_{\substack{\text{MSB}="1" \\ \text{altri}="0"}}} = \left[\frac{V_{rif}}{2} \right]$

allora dovrò porre $R_f = 3R$.

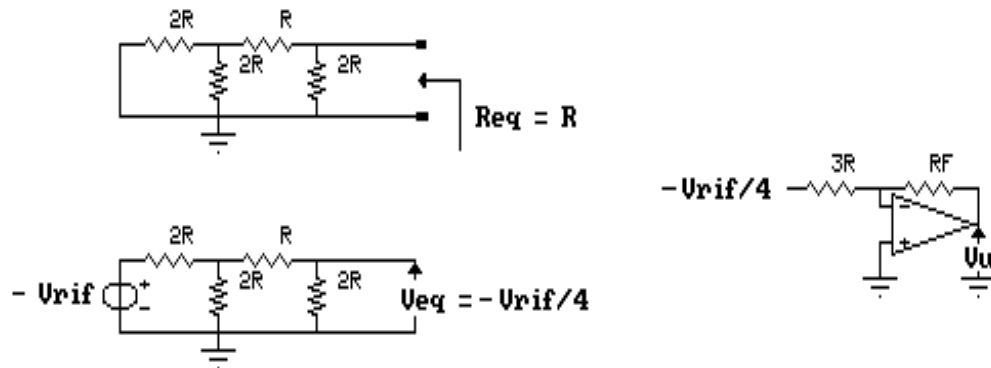
Proviamo, adesso, a verificare il circuito nel caso della una parola "010", avremo il seguente circuito:



Che si trasforma così:



Passando, ora, all'equivalente Thevenin abbiamo:



Analizzando questa figura, vediamo subito che:

$$V_{eq} = V_{rif} \cdot \frac{2R // 3R}{2R // 3R + 2R} \cdot \frac{2R}{2R + R} = V_{rif} \cdot \frac{\left[\frac{6}{5} \right] R}{\left[\frac{6}{5} \right] R + 2R} \cdot \frac{2R}{3R} = \frac{V_{rif}}{4}$$

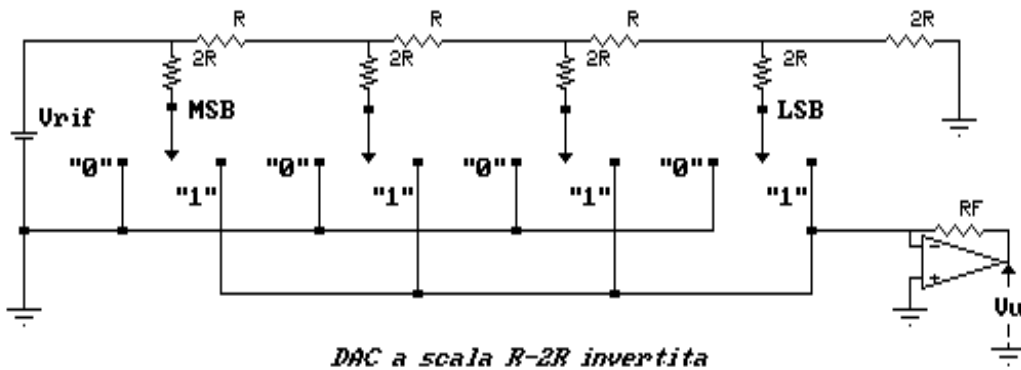
Ovvero

avendo, però, posto $R_f = 3R$, otteniamo $V_o = \frac{R_f}{3R} \cdot \frac{V_{rif}}{4}$ come ci si aspettava.

Evidentemente, nel caso in cui il LSB sia settato alto, mentre tutti gli altri sono a "0", ponendo come di consueto $R_f = 3R$, avremo $V_u = V_{rif}/2^n$ uguale, in questo caso, a $V_{rif}/8$.

I principali inconvenienti di questo circuito, sono legati più che altro al suo funzionamento a frequenze relativamente alte. Infatti al variare dei bit in ingresso, e quindi, al variare dello stato dei deviatori che, normalmente, sono realizzati a MOSFET o a BJT, si hanno variazioni brusche della corrente nei resistori, oltre che fenomeni di saturazione dei dispositivi stessi, dipendenti dalle inevitabili capacità parassite. Per ovviare a questa serie di problemi si sfrutta uno stratagemma simile a quello già incontrato per i convertitori a resistori pesati, facendo in modo che i deviatori non interrompano la corrente, ma la indirizzino verso o la massa del circuito, o la massa virtuale dell'amplificatore operazionale, facendo sì che il generatore V_{rif} eroghi sempre una corrente costante pari a $I = V_{rif}/R$.

Questo tipo di circuiti prende il nome di "Convertitori D/A a scala R-2R invertita" e lo schema relativo è riportato in Figura:

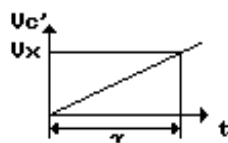
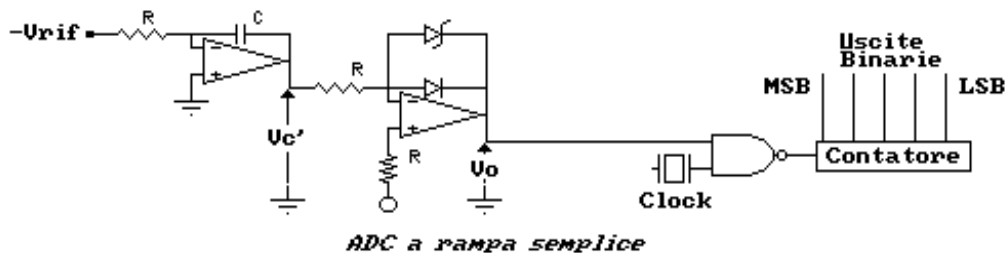


Convertitori digitale-analogici di questo tipo sono, ad esempio, quelli della serie DAC0800 della National Semiconductor.

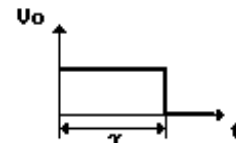
Esaurito il discorso sulla conversione D/A, occupiamoci, ora, della conversione inversa.

Esistono principalmente due categorie di convertitori analogico-digitali, o *ADC*, acronimo di **Analog Digital Converter**: una prima serie, che effettua, in realtà, una conversione tensione-tempo, è distinta in quelli che fanno uso di DAC e quelli che non li utilizzano, una seconda serie sfrutta, invece, l'utilizzo di diversi comparatori in parallelo. In ogni caso, il segnale di ingresso sarà, generalmente, una tensione, mentre l'uscita verrà rappresentata da un numero binario.

Il primo tipo di convertitore A/D, che si riporta più per fini didattici che non pratici, è il Convertitore a Rampa Semplice. Esso, come vedremo, fa uso di un integratore di Miller, che supporremo ideale, sorvolando sui problemi di stabilità ad esso relativi, per generare una rampa che verrà, in seguito, confrontata col segnale da convertire. Lo schema è quello sotto riportato.



Andamenti delle tensioni Uc' e Uo in funzione del tempo.



Focalizziamo un attimo l'attenzione sul circuito integratore e ricaviamoci il valore della tensione V_c , all'uscita di esso.

Possiamo seguire due differenti strade: una più corretta, per chi conosce il calcolo differenziale, ed una più semplice, e valida solo in continua, per chi, invece, non ha dimestichezza con gli integrali.

1. La tensione ai capi di un condensatore, è data dall'integrale della corrente che lo percorre:

$$V_c(t) = \frac{1}{C} \int i(t) dt$$

nel nostro caso, essendo il morsetto invertente dell'amplificatore operazionale una massa virtuale, la corrente che circola nel condensatore è pari a :

$$i(t) = -\frac{V_{rif}}{R}$$

in cui V_{rif} è, ovviamente, costante. Sostituendo possiamo così asserire che:

$$V_c(t) = -\frac{V_{rif}}{RC} \int dt = -\frac{V_{rif}}{RC} \cdot t$$

e quindi, tenendo sempre conto della massa virtuale,

$$V_{c'} = -V_c = \frac{V_{rif}}{RC} \cdot t$$

2. Dalla fisica sappiamo che la capacità di un condensatore è pari a $C = Q/V$ in cui Q è la carica acquisita dall'armatura a potenziale più alto, dovuta al fenomeno dell'induzione elettrostatica, e V è la differenza di potenziale delle armature. Ma noi sappiamo anche che l'intensità I della corrente elettrica è data da $I = Q/t$, avendo espresso con t il tempo. Nel nostro caso $I = -V_{rif}/R$, quindi posso dire che $Q/t = -V_{rif}/R$, da cui

$$Q = -\frac{V_{rif}}{R} \cdot t$$

Sostituendo questa relazione nella precedente, ottengo che

$$C = -\frac{V_{rif}}{R} \cdot t$$

ovvero

$$V_c = -\frac{V_{rif}}{RC} \cdot t$$

Nel nostro caso, $V_{c'} = -V_c$, quindi

$$V_{c'} = -V_c = \frac{V_{rif}}{RC} \cdot t$$

Da queste relazioni, risulta evidente che, così facendo, si viene a creare una proporzionalità diretta fra tensione e tempo: il segnale $V_{c'}$ sarà quindi una rampa, una retta passante per l'origine avente pendenza pari a V_{rif}/RC .

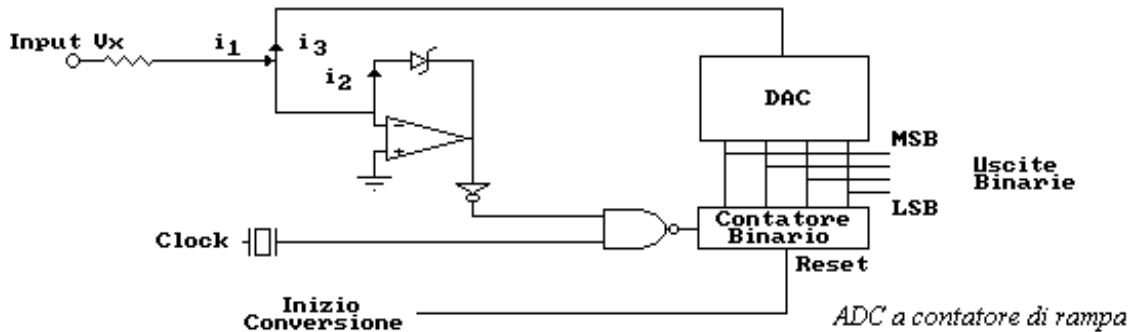
Tornando al nostro circuito, vediamo che questa rampa, generata dall'integratore partendo da una tensione di riferimento costante, e, quindi, avente pendenza costante, viene posta a confronto con la tensione di ingresso V_x . Dopo un lasso di tempo τ , la rampa raggiungerà il valore V_x e il comparatore saturerà basso, facendo pervenire uno "0" logico alla porta nand che, chiudendosi, impedirà l'ulteriore passaggio degli impulsi provenienti dal clock ed il loro, relativo, conteggio. Quindi, il contatore, conterà il numero n di impulsi di clock necessari alla rampa per raggiungere la tensione V_x . Conoscendo la frequenza f del clock ed il numero di impulsi, conosceremo $\tau = n \cdot f$, sostituendo τ al posto di t nelle relazioni viste poc'anzi, possiamo dire che:

$$V_x \Big|_{t=\tau} \equiv V_{c'} = \frac{V_{rif}}{RC} \cdot \tau = \frac{V_{rif}}{RC} \cdot n f$$

È evidente che la tensione V_x deve mantenersi costante per il tempo necessario ad effettuare la conversione.

Sebbene il circuito sia decisamente semplice sia concettualmente che circuitalmente, gli svantaggi, legati principalmente alle variazioni della tensione di riferimento, alla precisione dell'oscillatore locale, alle derive di R e di C , che fanno variare la pendenza della rampa spostando il punto di comparazione, ed il fatto che questi errori non siano recuperabili, ha fatto sì che questo circuito fosse presto abbandonato a favore di topologie che fossero in grado di legare la rampa alla frequenza campione f , in modo da ottenere una compensazione sulle variazioni.

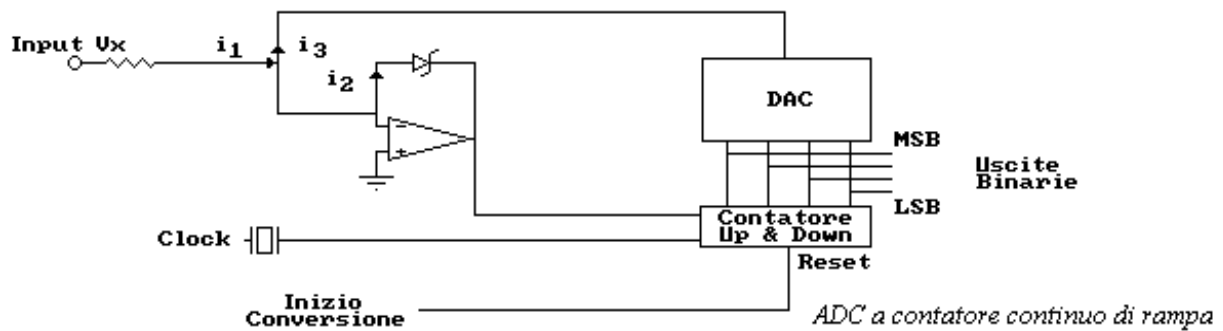
Esaminiamo, inizialmente, lo schema della figura seguente, primo esempio di ADC facente DAC.



La parte di logica di questo convertitore, è costituita da un contatore binario resettabile, fornendo un impulso di inizio conversione (*SOC :Start of Conversion*) il contatore viene ad essere resettato a zero. All'inizio del periodo di conversione, la corrente i_1 sarà maggiore di i_3 , rendendo, così, positiva i_2 e mandando "bassa" (a "0" logico) l'uscita del comparatore. La porta nand, a questo punto, permetterà il passaggio degli impulsi di clock verso il contatore. Questo genera un'uscita numerica, discreta, che, una volta convertita in corrente dal convertitore digitale-analogico, avrà forma di scalinata. Non appena la corrente i_3 in uscita dal DAC andrà a superare la i_1 , il comparatore saturerà "alto", inibendo, tramite la porta not, il conteggio degli impulsi del clock, ovvero, fermando il contatore.

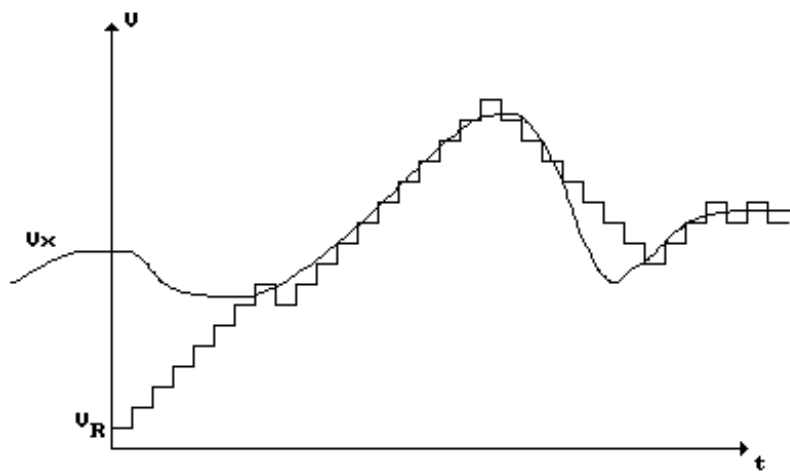
Il grosso problema legato a questo tipo di convertitore giace nella velocità. Infatti il tempo di acquisizione del convertitore, dipende sia dall'ampiezza del segnale analogico in ingresso, che dalla frequenza f del clock. Osservando che l'uscita del DAC cambia col peso del bit meno significativo ogni volta che il clock passa al valore alto, la slew rate del convertitore sarà pari a $LSB/[1/f]$, in cui LSB è espresso in volt, mentre la frequenza del clock è, ovviamente, espressa in Hertz. Per renderci conto del discorso, facciamo un esempio numerico. Consideriamo un convertitore a 10 bit, e sia 10 mV il valore del LSB ; inoltre, sia 10 V il fondo scala in ingresso e si abbia un clock a 10 MHz. La Slew Rate sarà pari a $10 \cdot 10^{-3} \cdot 10^6$, pari a 10 mV/ μ s. Ciò vuol dire che, per un ingresso di fondo scala (10 V, nel nostro esempio), il convertitore ci metterà un tempo pari a $10 [V] \cdot 10[\text{bit}] / 0.01[V/\mu\text{s}] = 1 \mu\text{s}$ per contare dalla parola "0000000000" alla parola "1111111111". La velocità di conversione dipende, quindi, anche dalla frequenza dell'oscillatore locale: più questa sarà alta, maggiore sarà la velocità di conversione. Il limite superiore, per altro piuttosto marcato, di questa frequenza è legato alla presenza di capacità parassite nei dispositivi e dal tipo di logiche utilizzato.

Oltre agli inevitabili ritardi di questa specie, devo tener presente che, all'inizio di ogni conversione, dovrò resettare il contatore prima di poterne effettuare un'altra. Questo problema viene risolto col il Convertitore *ad Inseguimento*, altrimenti detto *a contatore continuo di rampa* o *Servo convertitore (SADC)*, che contiene un contatore reversibile UP & DOWN



Se $i_3 < i_1$, ovvero se la corrente proveniente dal DAC è minore di quella dipendente dalla tensione di ingresso, l'uscita del convertitore sarà "bassa" ed il contatore conterà in avanti, facendo così aumentare la i_3 . Non appena i_3 diventa maggiore di i_1 , l'uscita del comparatore va "alta" ed il contatore conta indietro.

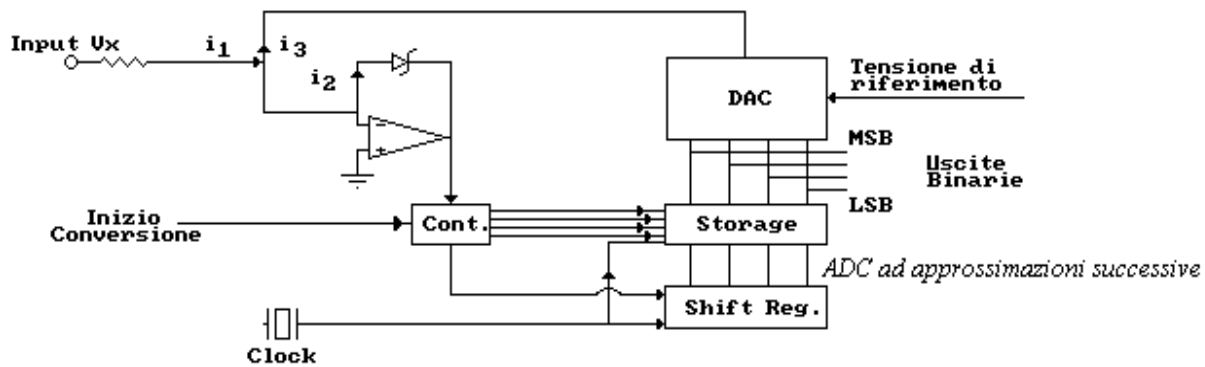
Questo tipo di convertitore può, quindi, seguire un segnale di ingresso continuamente variabile, sempreché la velocità di variazione del segnale non superi la Slew Rate del convertitore stesso. Questo effetto è rappresentato nella figura che segue.



La Slew Rate di questo convertitore è la stessa di quella del convertitore a rampa semplice visto in precedenza. Per piccole variazioni del segnale di ingresso, questo circuito è relativamente veloce, in quanto non ha bisogno né di un impulso di reset, né di un comando di inizio (SOC), in quanto il processo è continuo.

Caratteristica unica di questo tipo di convertitori, è il fatto che la corrente i_3 varia per passi discreti, ciò farà sì che l'uscita numerica oscilli col peso del LSB non appena il convertitore abbia acquisito il segnale di ingresso. La maggior complessità del circuito, non è un grosso problema, stante la disponibilità dei contatori UP & DOWN. Purtroppo, però, nemmeno questo circuito è veloce, soprattutto quando il segnale di ingresso pervenga da un multiplexer, e questo a causa delle grandi variazioni del segnale nel passaggio da un canale all'altro, con i tempi di conversione conseguentemente lunghi.

L'ultimo degli ADC facenti uso di DAC che andiamo a considerare, è il convertitore ad *Approssimazioni Successive*, il cui schema è di seguito riportato:



Per meglio capire il funzionamento di un SADC, facciamo riferimento, forse in forma poco ortodossa, ad un gioco in voga quando eravamo bambini: il gioco "alto e basso". Le regole sono semplici: un giocatore pensa un numero intero compreso, ad esempio, fra 0 e 1000, estremi esclusi, e l'altro giocatore deve, nel minor tempo possibile, indovinare il numero. Supponiamo di pensare il numero 687. Il procedimento per avere buone probabilità di centrare il numero nel minor tempo possibile, consiste nel procedere per incrementi, positivi o negativi, che siano proporzionali, ogni volta, al numero massimo moltiplicato per potenze decrescenti di 2. In pratica, supponiamo di dover trovare il numero 687. I tentativi, per indovinarlo, saranno:

$$1 \cdot 1000 = 1000 \text{ Alto}$$

$$0 \cdot 1000 + 1 \cdot 1000/2 = 500 \text{ Basso}$$

$$1 \cdot 1000/2 + 1 \cdot 1000/4 = 750 \text{ Alto}$$

$$1 \cdot 1000/2 + 0 \cdot 1000/4 + 1 \cdot 1000/8 = 625 \text{ Basso}$$

$$1 \cdot 1000/2 + 1 \cdot 1000/8 + 1 \cdot 1000/16 = 687.5 \text{ Giusto}$$

Il numero è stato indovinato con una precisione pari a $\pm 1000/32$, e possiamo ritenerci soddisfatti.

Osserviamo il circuito del convertitore: abbiamo un comparatore, che ci dice se il numero generato è "alto" o "basso", abbiamo un Registro a Scorrimento (Shift Register) che invia, ad ogni impulso di clock, un "1" nella cella di immagazzinamento (Storage) ed abbiamo, infine, una logica di controllo, che, a seconda dell'esito della comparazione, decide di mantenere l'"1" in quella precisa posizione o, viceversa, di ivi forzare uno "0". Il numero binario così generato, presente nella cella di immagazzinamento, viene convertito in una corrente analogica dalla rete resistiva presente nel DAC; questa corrente sarà confrontata con quella generata dalla tensione logica di ingresso.

Per quanto detto, il convertitore ad approssimazioni successive ad n bit, richiede n periodi del clock per effettuare una conversione completa, in relazione all'ampiezza del segnale in ingresso. Per applicazioni comuni, questo convertitore è più veloce degli altri, cioè, però, a scapito di una maggior complessità del circuito.

Come visto, l'idea di base è molto semplice: supponiamo, ad esempio, di avere una tensione incognita di 7 V, partendo da una tensione di riferimento pari a 5 V. Confrontiamo ora 5 V con 7 V: è troppo piccolo, quindi sommiamo a 5 V una tensione pari a $5/2 = 2.5$ V ottenendo 7.5 V, che è troppo alto, allora proviamo a sommare a 5 V una tensione pari a $2.5/2 = 1.25$ V ottenendo 6.25V. È troppo basso, quindi ne sommeremo una pari a $1.25/2$ ottenendo 6.875 V: essendo ancora basso, ne sommiamo ancora $0.625/2 = 0.3125$ V ottenendo 7.185 V, che è alto. Il procedimento continua così per n bit, ottenendo un numero sempre più prossimo a 7. È abbastanza evidente la cadenza binaria dei dati.

Analizziamo più da vicino il funzionamento.

Si parte con un impulso di SOC che resetta a "0" tutti i Flip Flop dello Shift Register e tutti i Flip Flop che pilotano i deviatori del DAC, eccezion fatta per il primo Flip Flop, quello relativo al MSB, che viene settato "alto". Un "1" logico viene anche posto nel primo Flip Flop

dello Shift Register. In questa situazione ($MSB \equiv "1"$), il comparatore saturerà "basso" se i_1 è più alta di mezza scala, mentre saturerà "alto" se i_1 è ne è minore.

Al sopraggiungere del successivo impulso di clock, abbiamo la sequenza di tre circostanze:

1. Se l'uscita del comparatore è bassa, l'"1" logico viene lasciato nel primo Flip Flop della cella di immagazzinamento, che memorizzerà, quindi, la parola "1000...0", in caso contrario (uscita del comparatore "alta") anche quel Flip Flop sarà resettato a "0", e la parola memorizzata sarà "0000...0".
2. Il secondo Flip Flop della cella di immagazzinamento è posto ad "1".
3. Un "1" verrà spostato nel secondo Flip Flop del registro a scorrimento.

Di nuovo, sul prossimo fronte di discesa del clock, il secondo Flip Flop della cella di immagazzinamento rimarrà ad "1" o verrà resettato a "0" in base all'uscita del comparatore, il terzo Flip Flop della cella verrà posto ad "1" ed un "1" verrà fatto scorrere nel terzo Flip Flop dello Shift Register.

Questo processo continua finché l'"1" nell'ultimo Flip Flop della memoria sarà o rimosso, o lasciato. A questo punto, il processo di conversione è completato e la precisione dell'uscita digitale sarà pari a $\pm \frac{1}{2} \text{ LSB}$.

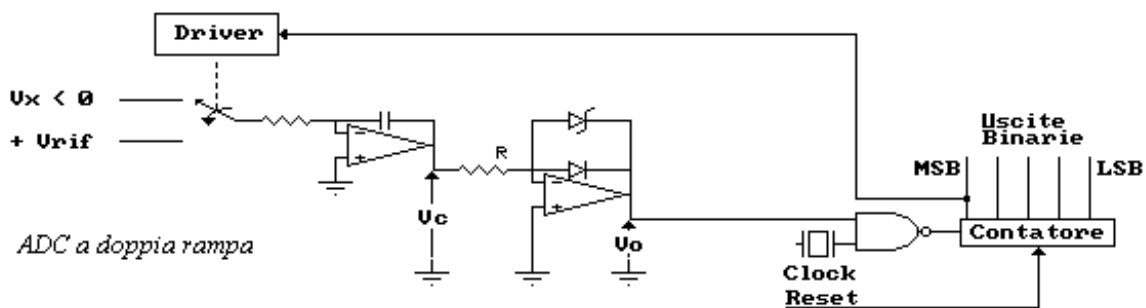
Da quanto visto, il processo di conversione non è continuo, come nel caso del convertitore ad inseguimento, ma ha inizio con un impulso di SOC e termina n periodi di clock più tardi. L'uscita digitale è valida solo in questo momento. Anche per questo tipo di convertitore, il segnale in ingresso deve rimanere costante per tutta la durata del processo di conversione.

I principali difetti di questo convertitore sono svariati.

- La massima velocità di funzionamento dei convertitori finora incontrati, dipende, in primo luogo, dal tempo impiegato dal comparatore per cambiare livello, in più bisogna considerare il tempo necessario al transitorio generato dai deviatori del DAC per estinguersi; questo tempo dipende quindi dalla tecnologia con cui sono realizzati gli interruttori (sempre e comunque allo stato solido).
- Gli offset di tensione e di corrente del comparatore, inficiano il livello del punto di confronto e ciò, evidentemente, peggiora la precisione del dispositivo.
- Altre cause di errore sono dovute alle derivate termiche ed alla precisione con cui sono realizzati i resistori che compongono il DAC. Sarebbe, così, interessante vedere come è possibile costruire un convertitore che non richieda l'uso di reti resistive, e che possa, in qualche modo, essere più immune agli offset ed ai disturbi in genere.

Alcuni di questi problemi vengono risolti ricorrendo all'uso del "*Convertitore a doppia rampa*" altrimenti detto "*raziometrico*".

Il suo schema è il seguente:



Le parti essenziali del convertitore, sono l'integratore, il comparatore, che commuta sull'attraversamento per lo zero (zero crossing detector), il generatore della tensione di riferimento e la logica digitale. La caratteristica principale è quella di esigere una tensione di ingresso V_x negativa.

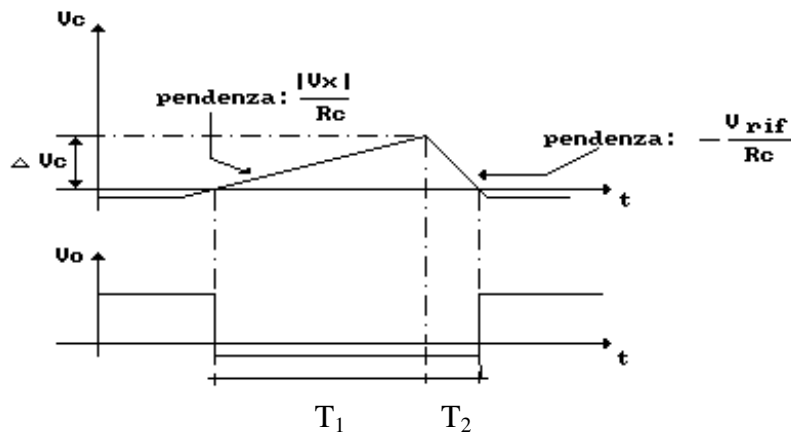
Come è ben visibile dall'illustrazione, il driver che pilota il deviatore è connesso col MSB del contatore. Se questo è a "0" l'ingresso dell'integratore è connesso al segnale da convertire, viceversa, se il MSB è a "1", il driver fa sì che venga integrata la tensione di riferimento.

La conversione ha inizio con un impulso di reset sul contatore. Questo impulso, generalmente, funge anche da comando di SOC. Sotto questa circostanza, l'integratore, integrando una tensione negativa, genera una rampa a salire di pendenza pari a $|V_x|/RC$. Non appena la rampa passa per lo zero, l'uscita del comparatore va "bassa", abilitando, quindi, il conteggio degli impulsi di clock. In altri termini, apre la nand.

Durante l'intervallo di tempo T_1 , il contatore conterà dalla parola "000...0" alla parola "011...1". Nel momento in cui il MSB passa ad "1", generando così la parola "100...0", il driver commuta l'ingresso sulla V_{rif} , facendo sì che l'uscita dell'integratore sia una rampa a scendere, stante il fatto che $V_{rif} > 0$. Quando questa rampa ripassa per lo zero, l'uscita del comparatore cambia stato logico passando ad "1" e chiudendo, dopo un tempo T_2 la nand, disabilitando, così, il conteggio. A questo punto la conversione è terminata e l'uscita del contatore è valida. In realtà, noi abbiamo contato un intervallo di tempo T_2 che, come dimostreremo, è direttamente proporzionale al valore della tensione incognita V_x .

Anche in questo caso, condurremo due distinte dimostrazioni, la prima, più rigorosa, facente uso del calcolo integrale, la seconda basata, invece, su considerazioni di ordine geometrico.

Consideriamo la figura seguente:



1) Ricordando che la tensione ai capi di un condensatore vale:

$$V_c(t) = \frac{1}{C} \int i(t) dt$$

diremo che:

$$\Delta V_c = -\frac{1}{RC} \cdot \int_0^{T_1} V_x \cdot dt = -\frac{V_x \cdot T_1}{RC}$$

ed anche che:

$$\Delta V_c = \frac{1}{RC} \cdot \int_0^{T_2} V_{rif} \cdot dt = \frac{V_{rif} \cdot T_2}{RC}$$

eguagliando i secondi membri ottengo:

$$-\frac{V_x \cdot T_1}{RC} = \frac{V_{rif} \cdot T_2}{RC}$$

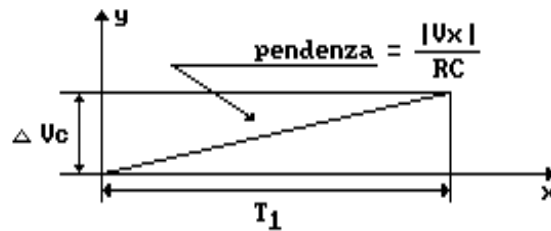
Semplificando, riordinando e, tenendo presente che $V_x < 0$, effettuando il passaggio al modulo, ricaviamo:

$$\frac{|V_x| \cdot T_1}{V_{rif}} = T_2$$

riarrangiando:

$$|V_x| = \frac{V_{rif} \cdot T_2}{T_1}$$

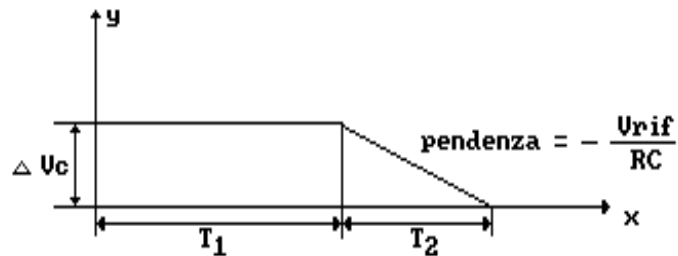
2. Per altra via, si consideri il triangolo in figura:



L'equazione della retta passante per l'origine sarà:

$$y = \frac{|V_x|}{RC} \cdot x$$

Consideriamo ora, invece, questo secondo triangolo:



L'equazione della retta passante per il punto di coordinate $[T_1 + T_2 ; 0]$ sarà:

$$y = -\frac{V_{rif}}{RC} \cdot [x - (T_1 + T_2)]$$

Mettendo a sistema le due equazioni, otteniamo:

$$\frac{|V_x|}{RC} \cdot x = -\frac{V_{rif}}{RC} \cdot [x - (T_1 + T_2)]$$

entrambe le rette passano per il punto $[T_1 ; \Delta V_c]$. Sostituendo l'ascissa di questo punto alla x si ottiene:

$$\frac{|V_x|}{RC} \cdot T_1 = -\frac{V_{rif}}{RC} \cdot [T_1 - T_1 - T_2]$$

da cui:

$$\frac{|V_x| \cdot T_1}{V_{rif}} = T_2$$

riarrangiando:

$$|V_x| = \frac{V_{rif} \cdot T_2}{T_1}$$

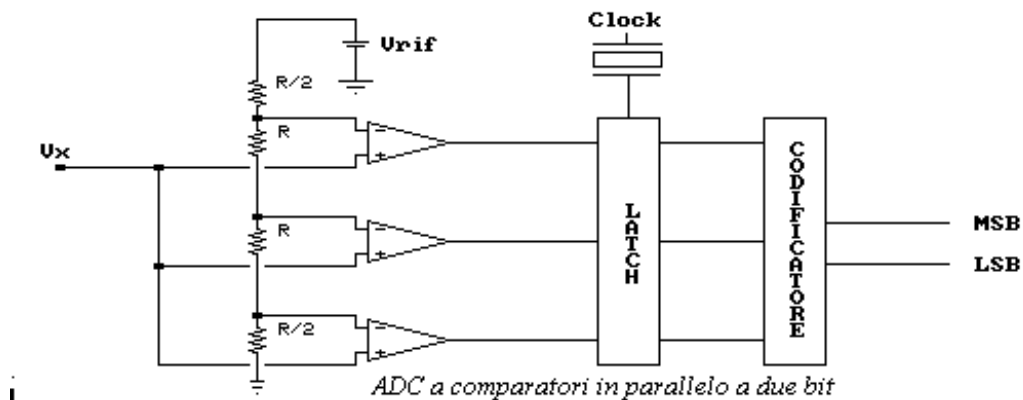
Come è possibile notare, essendo costanti V_{rif} e T_1 , misurando T_2 , si ricava semplicemente ed immediatamente il valore della tensione incognita V_x , che dovrà mantenersi costante durante l'intervallo di tempo necessario per effettuare la conversione. Nel caso in cui V_x dovesse, nel frattempo, variare, l'uscita digitale fornirà il valor medio di V_x in T_1 .

Osservando che R e C non intervengono nella formula finale, è evidente che le loro tolleranze non inficiano la precisione del dispositivo. Inoltre, derive, alla lunga nel tempo, della frequenza del clock non creano problemi. Gli offset di tensione e di corrente del comparatore sposteranno la tensione di commutazione, ma l'errore introdotto si autocompensa, in quanto il segnale di ingresso al comparatore attraversa lo zero due volte.

Invece gli offset dell'integratore, purtroppo, non vengono compensati e limitano la precisione dello strumento. Anche eventuali derive nella tensione di riferimento non faranno altro che degradare la precisione massima raggiungibile.

L'ultimo tipo, ed il più recente, di convertitore analogico-digitale di cui andiamo ad occuparci, è il *convertitore a comparatori in parallelo*, altrimenti detto *Convertitore Flash* o *Convertitore Simultaneo*.

Lo schema di principio è riportato in figura.



Il funzionamento di questo circuito è abbastanza intuitivo. La tensione V_x da convertire è connessa agli ingressi non invertenti degli amplificatori operazionali, realizzanti ciascuno un comparatore. L'altro ingresso, quello invertente, è invece collegato ad una rete resistiva che

funziona da partitore di tensione, dividendo la tensione di riferimento in 2^n livelli di quantizzazione (4 nel nostro caso pari, in ordine decrescente, a V_{rif} , $5/6 V_{\text{rif}}$, $1/2 V_{\text{rif}}$, $1/6 V_{\text{rif}}$). Data la configurazione dei comparatori, ognuno di essi satura "alto" se V_x è maggiore del relativo livello di partizione della tensione di riferimento. All'arrivo di un impulso di clock, lo stato delle uscite dei comparatori viene ad essere memorizzato in una memoria (il "*latch*"), che ha anche funzioni di buffer, e quindi inviato ad un eventuale codificatore che fornisce in uscita un dato in un codice binario relativo. Spesso si usa il codice Gray.

La precisione di questo convertitore è di $\pm 1/2\text{LSB}$. È molto veloce: con esso si raggiungono tempi tipici di commutazione dell'ordine dei 10 ns. Però si pagano questi vantaggi con una maggiore complessità circuitale, in quanto è richiesto l'uso di $2^n - 1$ convertitori simultanei. Per ovviare a questo inconveniente si ricorre all'uso di particolari topologie circuitali, come i convertitori *half flash*, che utilizzano convertitori simultanei di risoluzione minore, connessi in cascata. Tipico esempio, è il circuito integrato ADC0820 della National Semiconductors.